

⑫ 公開特許公報 (A)

昭59—152599

⑤ Int. Cl.³
G 11 C 29/00
7/00

識別記号

庁内整理番号
7922—5 B
6549—5 B

⑬ 公開 昭和59年(1984) 8 月31日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭ メモリ制御回路

京都市右京区花園土堂町10番地
立石電機株式会社内

⑯ 特 願 昭58—26342

⑰ 出 願 人 立石電機株式会社

⑱ 出 願 昭58(1983) 2 月21日

京都市右京区花園土堂町10番地

⑲ 発 明 者 米原隆志

⑳ 代 理 人 弁理士 伊東辰雄 外 1 名

明 細 書

1. 発明の名称

メモリ制御回路

2. 特許請求の範囲

ロードアドレスストロープ信号およびコラムアドレスストロープ信号の入力に応じてロードアドレス信号およびコラムアドレス信号を取込み、かつライトイネーブル信号のレベルに応じてデータの読み出しまたは書き込みを行なう半導体メモリのメモリ制御回路において、該メモリ制御回路に、予め設定された記憶エリアのアドレス信号が入力されるとプロテクト信号を発生するプロテクト信号発生回路と、書き込み指令信号または読出指令信号等の入力にもとづき該ロードアドレスストロープ信号、該コラムアドレスストロープ信号および該ライトイネーブル信号を発生するアクセス制御部とを設け、該アクセス制御部は前記プロテクト信号発生回路からプロテクト信号が発生されると該ロードアドレスストロープ信号および該コラムアドレスストロープ信号を発生しないようにしたことを特徴

とするメモリ制御回路。

3. 発明の詳細な説明

(発明の分野)

本発明は、メモリ制御回路に関し、特に簡単な回路で構成されプロテクト指定が行なわれたメモリエリアのデータ書き込みを的確に禁止できるようにしたメモリ制御回路に関する。

(発明の背景)

第1図は、従来形のメモリ制御回路を含むコンピュータシステムの構成を示す。同図のシステムは、プロセッサ1、リードオンリメモリ2、ダイナミックランダムアクセスメモリ(D-RAM)等のランダムアクセスメモリ3、デマルチプレクサ等で構成されるプロテクト指定回路4、プロテクト信号発生回路5、アクセス制御回路6、アドレス制御回路7、転送制御回路8、等によつて構成される。そして、プロセッサ1とリードオンリメモリ(以下単にROMと称する)2およびプロテクト信号発生回路5とはアドレスバス9によつて接続され、かつアドレス制御回路7および他の

アドレスバス9を介してランダムアクセスメモリ（以下単にRAMと称する）3と接続されている。また、プロセッサ1は、データバス10を介してROM2と接続され、かつ転送制御回路8および他のデータバス10'を介してRAM3と接続されている。

第1図のシステムにおいては、プロセッサ1からアドレスバス9およびデータバス10を介してROM2またはRAM3にアクセスすることができる。RAM3が例えばダイナミックRAMである場合は、プロセッサ1からアドレスバス9を介して行アドレスおよび列アドレスを順次送出し、アドレス制御回路7およびアドレスバス9を介してRAM3に入力される。この時、アクセス制御回路6からアドレス制御回路7にアドレス制御信号R/Cが印加されて行アドレスおよび列アドレスを時分的にRAM3に入力するための制御が行なわれる。データ読出しを行なう場合はアクセス制御回路6からRAM3に種々の制御信号例えばライトイネーブル信号、ローアドレスストロー

3に印加されるライトイネーブル信号を読出し状態とすることによつてデータ読出しを行ないデータ書き込みを禁止するいわゆるダミーリードが行なわれる。

第2図は、第1図のシステムにおけるアクセス制御回路6を特に詳細に示すブロック回路図である。同図において、プロセッサ1、転送制御回路8、RAM3、アドレス制御回路7、データバス10、10'、アドレスバス9、9'等は第1図に示されるものと同じであり同じ参照数字が用いられている。アクセス制御回路6は、タイミング信号発生回路16、オアゲート12、14、およびアンドゲート13等によつて構成される。

第3図を参照して第2図のシステムの動作を説明する。プロセッサ1からRAM3にデータ書き込みを行なうライトサイクルにおいては、リフレッシュ信号RFSHが高レベルとなり、かつ書き込み指令RAMWが低レベルとなる。これにより、タイミング信号発生回路11からまず低レベルのローアドレスストローブ信号RASが、ついで低レベ

ル信号、コラムアドレスストローブ信号CAS等が入力されてRAM3のアドレスが選択され読出し動作が行なわれる。また、アクセス制御回路6から転送制御回路8に制御信号が入力され、RAM3からの読出しデータをデータバス10'からデータバス10に転送しプロセッサ1に入力する。データ書き込みを行なう場合は、読出しの場合と同様にプロセッサ1からアドレスデータがRAM3に入力され、かつアクセス制御回路6から種々の制御信号がRAM3に入力される。そして転送制御回路8はデータバス10からデータバス10'の方向にデータを転送するように切換えられ、プロセッサ1からの書き込みデータがRAM3に入力される。この場合、プロセッサ1からのアドレスデータがアドレスバス9を介してプロテクト信号発生回路5に入力される。そして、この入力されたアドレスデータがプロテクト指定回路4によつて指定されるプロテクトエリアのアドレスと一致している場合は、プロテクト信号発生回路5からアクセス制御回路6にプロテクト信号が入力され、RAM

ルのコラムアドレスストローブ信号CASが順次RAM3に印加される。また、アドレス制御信号R/Cが、当初は低レベルでありコラムアドレス信号CASが低レベルとなる時点で高レベルとなるように制御されアドレス制御回路7に印加される。これにより、アドレスバス9、アドレス制御回路7、およびアドレスバス9'を介してRAM3に行アドレスおよび列アドレスが時分的に入力されるよう制御される。そしてこれらのアドレスはそれぞれローアドレスストローブ信号RASおよびコラムアドレスストローブ信号CASが低レベルに立下がる時点等にRAM3に取り込まれる。一方、書き込み指令RAMWが低レベルでありかつプロテクト信号も低レベルであるから、アンドゲート13の出力すなわちライトイネーブル信号WEが低レベルとなりRAM3にデータ書き込みが行なわれる。この場合、読出指令RAMRが高レベルであるから、オアゲート12の出力が低レベルとなる。したがつて、転送制御回路8の入力信号Gが低レベルとなりかつダイレクション信号DIR

が高レベルとなるため、転送制御回路8はプロセッサ1からのデータ信号をRAM3に転送するように動作する。このようにして、プロセッサ1からのデータがRAM3の所定のアドレスに書き込まれる。

上述においては、プロテクト信号が低レベル、すなわちプロセッサから出力されたアドレスデータがプロテクトされているエリア内のものでない場合につき説明したが、プロテクト信号が高レベルである場合、すなわちプロテクトされているエリアにプロセッサから書き込み指令が出された場合には次のようにして書き込みが禁止される。すなわち、プロテクト信号が高レベルかつ書き込み指令RAMWが低レベルになることによりアンドゲート13の出力がすなわちライトイネーブル信号WEが高レベルとなり、RAM3はデータ書き込みの代りにデータ読出しすなわちダミーリードを実行する。これにより、データバス10に読出しデータが出力される。そして、この場合オアゲート12の出力が高レベルとなることにより転送制御回路8が遮

断されデータバス10の読出しデータとデータバス10の書き込みデータとが競合することが防止される。このようにして、プロテクトされたエリアへのデータ書き込みが防止される。

しかしながら、上述の従来形においては、プロテクトされたエリアに書き込み指令が出された場合にダミーリードを行なうから、書き込みデータとRAMからのダミーリードデータとの競合を防止するために転送制御回路が必要であり、かつ該転送制御回路の動作を制御するための回路等が必要となつて、メモリ制御回路の構成が複雑になりかつコストアップするという不都合があつた。

(発明の目的)

本発明の目的は、前述の従来形における問題点に鑑み、メモリ制御回路において、回路構成を簡単にしてコストダウンを図ると共に、回路の信頼性を向上させることにある。

(発明の構成および効果)

本発明は、メモリ制御回路において、プロテクトされたエリアに書き込み指令が出された場合には

ローアドレスストロブ信号およびコラムアドレスストロブ信号を発生しないようにするという構成に基づくものであり、このような構想によつてメモリ制御回路の構成が極めて簡単になりコストが低下すると共に、回路の信頼性が大幅に向上する。

(発明の実施例)

以下、図面により本発明の実施例を説明する。

第4図は、本発明の1実施例に係わるメモリ制御回路を含むコンピュータシステムの概略を示す。同図のシステムは、プロセッサ1、リードオンリメモリ(以下単にROMと称する)2、例えばダイナミックランダムアクセスメモリ等のランダムアクセスメモリ(以下単にRAMと称する)3、デンプススイッチ等で構成されるプロテクト指定回路4、プロテクト信号発生回路5、アドレス制御回路7およびアクセス制御回路15等によつて構成される。プロセッサ1とROM2とRAM3とはデータバス10によつて直接接続されている。また、プロセッサ1とROM2とプロテクト信号

発生回路5とアドレス制御回路7とはアドレスバス9によつて接続され、かつアドレス制御回路7とRAM3とはアドレスバス9によつて接続されている。

第4図のシステムにおいて、プロセッサ1からRAM3にアクセスする場合は、プロセッサ1からアドレスバス9、アドレス制御回路7およびアドレスバス9を介してRAM3にアドレス信号が入力される。この場合、アクセス制御回路15からアドレス制御回路7にアドレス制御信号R/Cが入力されてRAM3に行アドレスおよび列アドレスを時分的に入力するための制御が行なわれる。データ読出しを行なう場合にはこのようにしてアドレス信号を入力し、かつアクセス制御回路15からローアドレスストロブ信号およびコラムアドレスストロブ信号等の種々の制御信号をRAM3に入力することにより、RAM3の選択されたアドレスからデータが読出されデータバス10を介してプロセッサ1に入力される。データ書き込みが行なわれる場合には、前述のようしてアドレ

ス信号が入力された後、アクセス制御回路15からローアドレスストロープ信号、コラムアドレスストロープ信号、およびライトイネーブル信号がRAM3に入力されてデータバス10からの書き込みデータが所定のアドレスに書き込まれる。ただし、この場合プロセッサ1からのアドレスがプロテクト信号発生回路5に入力され、書き込み指令が出されたエリアがプロテクトされたエリアか否かが判定される。もし、入力されたアドレスデータがプロテクト指定回路4で指定されたプロテクトエリア内にある場合にはプロテクト信号がアクセス制御回路15に入力される。これにより、本発明のシステムにおいては、ローアドレスストロープ信号およびコラムアドレスストロープ信号を出力しないように制御され、RAM3への書き込みが禁止されてメモリ内容が保護される。

第5図は、第4図のシステムにおけるアクセス制御回路15付近の詳細を示すものである。同図において、プロセッサ1、RAM3、アドレス制御回路7、アドレスバス9、データバス10

3に入力される。そして、このようにして入力されたアドレス信号は例えば行アドレスがローアドレスストロープ信号RASの立下がり時点で、列アドレスがコラムアドレスストロープ信号CASの立下がり時点でそれぞれ取り込まれアドレス指定が行なわれる。また、書き込み指令RAMWが低レベルであるからライトイネーブル信号WEが低レベルとなりRAM3が書き込み状態となる。ただし、プロセッサ1から出力されたアドレス信号が前述のプロテクト信号発生回路5に入力されて書き込み指令の出されたアドレスがプロテクトされたエリアにあるか否かが判定されており、この判定の結果に応じてプロテクト信号のレベルが設定される。そして、第6図に示すようにもしこのプロテクト信号が低レベル、すなわち書き込み指令の出されたアドレスがプロテクトされていないエリアを指定している場合はオアゲート18の出力は低レベルとなるためアンドゲート17の出力が高レベルとなる。したがってタイミング信号発生回路16のリセットがかけられないため前述のシーケンスによ

は第4図と同じものが用いられ、同じ参照数字が用いられている。アクセス制御回路15はタイミング信号発生回路16、アンドゲート17およびオアゲート18等によつて構成される。

第6図を参照して第5図のシステムの動作を説明する。プロセッサ1からRAM3に書き込みが行なわれるライトサイクルにおいては、リフレッシュ信号RFSHが高レベルとされかつ書き込み指令RAMWが低レベルとされる。これにより、タイミング信号発生回路16から順次低レベルのローアドレスストロープ信号RASおよびコラムアドレスストロープ信号CASが出力されてRAM3に入力される。またタイミング信号発生回路16からアドレス制御回路7に印加されるアドレス制御信号R/Cは当初は低レベルでありコラムアドレスストロープ信号CASが立下がる時点で高レベルとなるように制御される。これにより、アドレスバス9を介して入力されるアドレス信号が順次行アドレスおよび列アドレスとして、アドレス制御回路7およびアドレスバス9を介して、RAM

3によつてローアドレスストロープ信号RASおよびCASが出力されデータバス10からのデータが所定のアドレスに書き込まれる。

これに対して、プロテクト信号が高レベルの場合、すなわち、プロセッサ1から出力されたアドレスがプロテクトされたエリア内のものである場合は、アンドゲート17の出力は低レベルとなりタイミング信号発生回路16がリセットされる。これにより、ローアドレスストロープ信号RASおよびコラムアドレスストロープ信号CASおよびアドレス制御信号R/Cが共に出力されないこととなり、例えばライトイネーブル信号WEが低レベルとなつてもRAM3への書き込みは行なわれない。したがって、プロテクトされたエリアにはデータの書き込みは行なわれないことになりRAM3の内容が保護される。

第4図および第5図から明らかなように、本発明の1実施例に係わるメモリ制御回路においては、転送制御回路が不要でありデータバス10によつてプロセッサ1とRAM3が直結されている。ま

た、アクセス制御回路16も制御回路に制御信号を入力するための回路部分を必要としないため、回路が簡単になっている。すなわち、本発明によれば、回路構成が簡単になり回路のコストを低下させることができると共に、信頼性を向上させることが可能となる。

4. 図面の簡単な説明

第1図は従来形のメモリ制御回路を含むコンピュータシステムの構成を示す概略的ブロック回路図、第2図は第1図のシステムにおけるアクセス制御回路付近を詳細に示すブロック回路図、第3図は第2図の回路の動作を説明するための波形図、第4図は本発明の1実施例に係わるメモリ制御回路を含むコンピュータシステムの構成を示す概略的ブロック回路図、第5図は第4図のアクセス制御回路付近の構成を詳細に示すブロック回路図、そして第6図は第5図の回路の動作を説明するための波形図である。

1……プロセッサ、 2……リードオンリメモリ、 3……ランダムアクセスメモリ、 4……

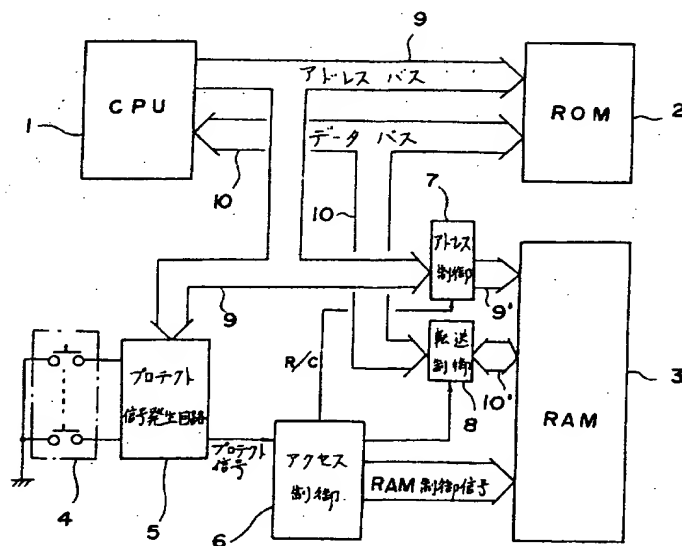
プロテクト指定回路、 5……プロテクト信号発生回路、 6……アクセス制御回路、 7……アドレス制御回路、 8……転送制御回路、 9、 9'……アドレスバス、 10、 10'……データバス、 11……タイミング信号発生回路、 12、 14……オアゲート、 13……アンドゲート、 15……アクセス制御回路、 16……タイミング信号発生回路、 17……アンドゲート、 18……オアゲート。

特許出願人 立石電機株式会社

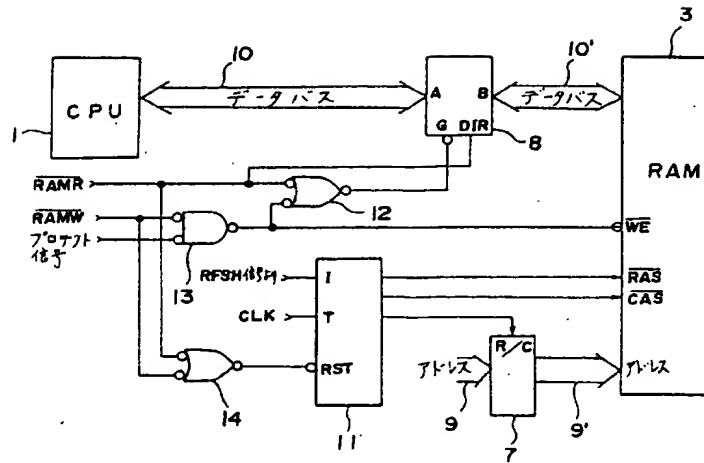
代理人 弁理士 伊 東 辰 雄

代理人 弁理士 伊 東 哲 也

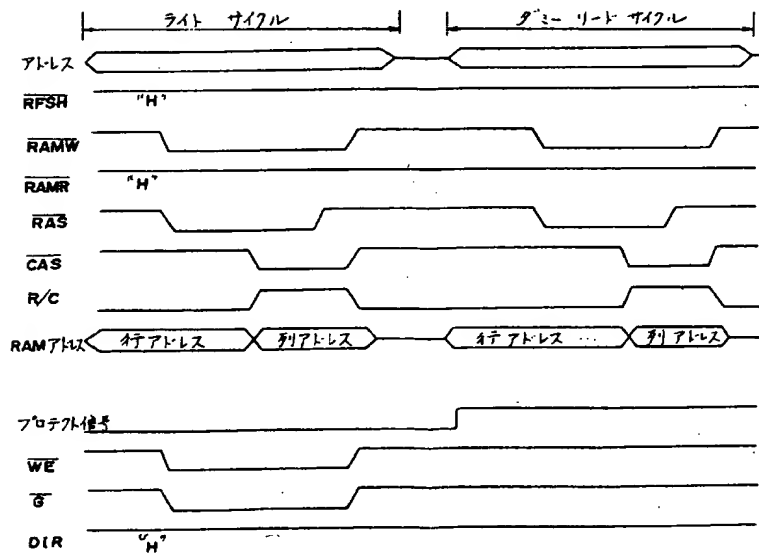
第 1 図

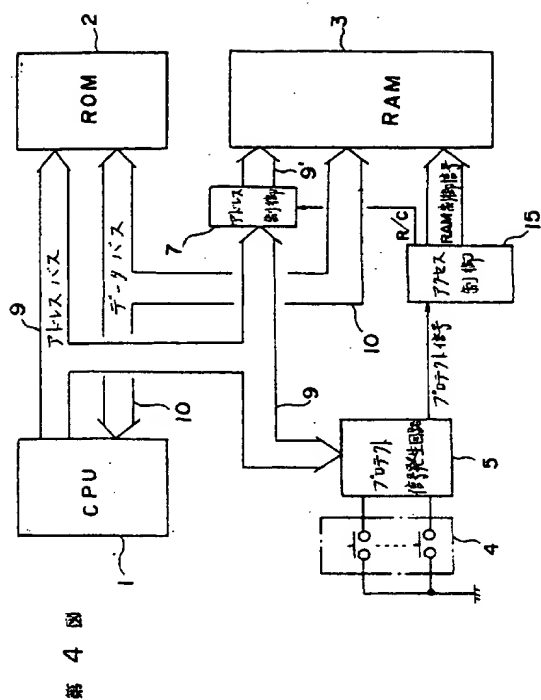


第 2 図

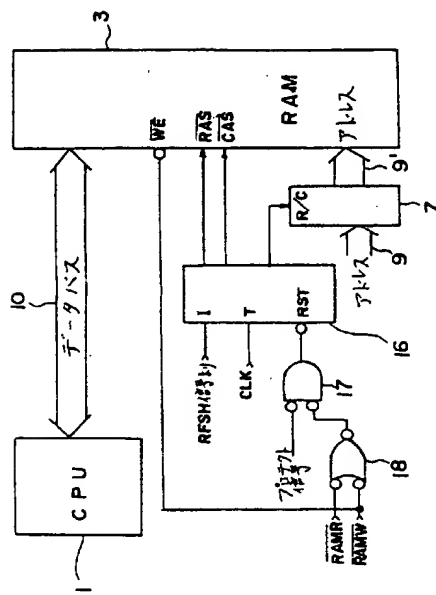


第 3 図





第 5 図



第 6 図

